

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2001年3月22日 (22.03.2001)

PCT

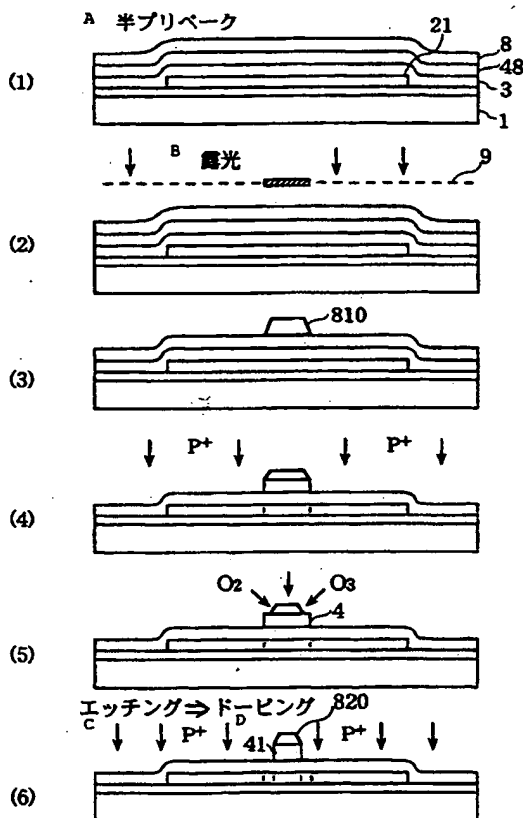
(10) 国際公開番号  
WO 01/20685 A1

- (51) 国際特許分類: H01L 29/786, 21/336 (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).
- (21) 国際出願番号: PCT/JP00/06261
- (22) 国際出願日: 2000年9月13日 (13.09.2000)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願平11/262119 1999年9月16日 (16.09.1999) JP  
特願平11/278687 1999年9月30日 (30.09.1999) JP
- (72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 竹橋信逸 (TAKEHASHI, Shin-itsu) [JP/JP]; 〒575-0021 大阪府四條畷市南野2-17-12-205 Osaka (JP). 河北哲郎 (KAWAKITA, Tetsuo) [JP/JP]; 〒610-0352 京都府京田辺市花住坂3-5-10 Kyoto (JP). 武富義尚 (TAKETOMI, Y shina) [JP/JP]; 〒610-0357 京都府京田辺市山手東1-16-13 Kyoto (JP). 筒 博司 (TSUTSU, Hiroshi) [JP/JP]; 〒534-0016 大阪府大阪市都島区友渕町1-5-7-1011 Osaka (JP).

[続葉有]

(54) Title: THIN-FILM TRANSISTOR AND METHOD FOR PRODUCING THE SAME

(54) 発明の名称: 薄膜トランジスタ及びその製造方法



A...SEMI-PREBAKING  
B...EXPOSURE  
C...ETCHING  
D...DOPING

(57) Abstract: An array of multiple small thin-film transistors produced with high precision and having LDD structure are formed on a substrate and used for, e.g., a liquid crystal display. The gate electrodes are used as a mask in doping a semiconductor layer with impurities. To make LDD structures, impurities are implanted in two steps. The dimensions of the gate electrodes at the second doping is varied from those at the first doping according to the LDD length. Metal oxidation or dry-etching is performed as means for varying the dimensions of the gate electrodes. For precise dry-etching of the gate electrodes, the photoresist is devised.

BEST AVAILABLE COPY

WO 01/20685 A1

[続葉有]



WO 01/20685 A1

(74) 代理人: 大前 要(OHMAE, Kaname); 〒540-0037 大阪府大阪市中央区平野町2-3-14 ライオンビル大  
手前2階 Osaka (JP).  
2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

(81) 指定国 (国内): CN, KR, US.

添付公開書類:

— 国際調査報告書

— 請求の範囲の補正の期限前の公開であり、補正書受  
領の際には再公開される。

BEST AVAILABLE COPY

(57) 要約:

液晶表示装置等に用いるため、微小かつ多数の精度のよいLDD  
構造の薄膜トランジスタを基板上に配列して形成する。  
そのために、ゲート電極を半導体層に不純物を注入する際のマス  
クとする。

LDD構造とするため、不純物を2回に分けて注入する。  
第1回目と第2回目の注入時で、ゲート電極の寸法をLDD長さ  
に対応して変える。

不純物注入マスクとして使用するゲート電極の寸法を変える手段  
として、金属酸化やフライエッチングを利用する。

ゲート電極のフライエッチングを精度よく行なうため、フォトレ  
ジストに工夫を凝らす。